

DU

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-330650

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
H 0 1 J	1/30		H 0 1 J	1/30	B
	9/02			9/02	B
	31/12			31/12	C

審査請求 未請求 請求項の数13 F D (全 20 頁)

(21)出願番号 特願平8-170725

(22)出願日 平成8年(1996)6月11日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 岸 博義

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 弁理士 豊田 善雄 (外1名)

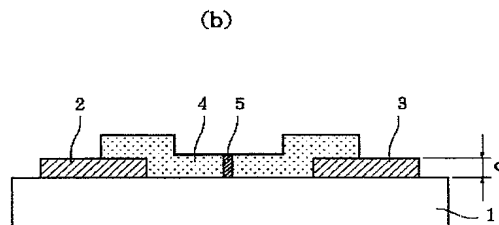
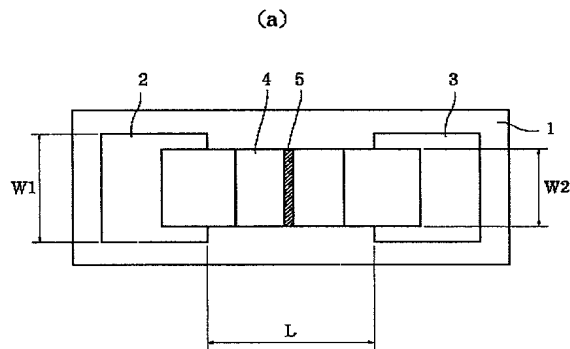
(54)【発明の名称】 電子放出素子、それを用いた電子源、画像形成装置、及びそれらの製造方法

(57)【要約】

【課題】 高品位画像形成装置を実現し得る電子ビーム源としての電子放出素子を提供する。

【解決手段】 基板1上の素子電極2、3間に、電子放出部5を有する導電性膜4を備える電子放出素子において、導電性膜4が、基板1上での被覆形状が迷路図状のNi又はNiとNi酸化物からなる膜であることを特徴とする。

【効果】 低電力で形状の揃った電子放出部を形成でき、素子毎の特性のバラツキを低減できる。



【特許請求の範囲】

【請求項1】 基体上の一対の電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜は、基板上での被覆形状が迷路図状のNi又はNiとNi酸化物からなることを特徴とする電子放出素子。

【請求項2】 前記導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の0～5atomic%の範囲にあり、且つ前記電子放出部を除く基板上の被覆面積率が、50～95%の範囲にあることを特徴とする請求項1に記載の電子放出素子。

【請求項3】 前記導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の5～90atomic%の範囲にあり、且つ前記電子放出部を除く基板上の被覆面積率が、50～97%の範囲にあることを特徴とする請求項1に記載の電子放出素子。

【請求項4】 前記電子放出素子が、表面伝導型電子放出素子であることを特徴とする請求項1～3のいずれかに記載の電子放出素子。

【請求項5】 基板上の一対の電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、基板上での被覆形状が迷路図状のNi又はNiとNi酸化物からなる導電性膜を形成する成膜工程と、該導電性膜に通電処理を施して電子放出部を形成するフォーミング工程とを有することを特徴とする電子放出素子の製造方法。

【請求項6】 前記成膜工程で形成される導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の0～5atomic%の範囲にあり、且つ基板上の被覆面積率が、50～95%の範囲にあることを特徴とする請求項5に記載の電子放出素子の製造方法。

【請求項7】 前記成膜工程で形成される導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の5～90atomic%の範囲にあり、且つ基板上の被覆面積率が、50～97%の範囲にあることを特徴とする請求項5に記載の電子放出素子の製造方法。

【請求項8】 基板上に、複数の電子放出素子が配列された電子源において、前記電子放出素子が、請求項1～4のいずれかに記載の電子放出素子であることを特徴とする電子源。

【請求項9】 前記複数の電子放出素子が、マトリクス状に配線されていることを特徴とする請求項8に記載の電子源。

【請求項10】 前記複数の電子放出素子が、梯子状に配線されていることを特徴とする請求項8に記載の電子源。

【請求項11】 基板上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子を、請求項5～7のいずれかに記載の方法により製造す

ることを特徴とする電子源の製造方法。

【請求項12】 基板上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、請求項8～10のいずれかに記載の電子源であることを特徴とする画像形成装置。

【請求項13】 基板上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源を、請求項11に記載の方法により製造することを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子放出素子、該電子放出素子を多数個配置してなる電子源、及び該電子源を用いて構成した表示装置や露光装置等の画像形成装置に関する。

【0002】

【従来の技術】従来、電子放出素子には大別して熱電子放出素子と冷陰極電子放出素子の2種類が知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」と称す。）、金属／絶縁層／金属型（以下、「MIM型」と称す。）や表面伝導型電子放出素子等が有る。

【0003】FE型の例としては、W. P. Dyke and W. W. Dolan, "Field Emission", Advance in Electron Physics, 8, 89 (1956) あるいはC. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) 等が開示されたものが知られている。

【0004】MIM型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646 (1961) 等が開示されたものが知られている。

【0005】表面伝導型電子放出素子の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, 1290 (1965) 等が開示されたものがある。

【0006】表面伝導型電子放出素子は、絶縁性基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリソン等によるSnO₂薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid

Films", 9, 317 (1972)], In_2O_3 / SnO_2 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)], カーボン薄膜によるもの [荒木久 他: 真空, 第26巻, 第1号, 22頁 (1983)] 等が報告されている。

【0007】これらの表面伝導型電子放出素子の典型的な例として、前述のM. ハートウェルの素子構成を図18に模式的に示す。同図において1は基板である。4は導電性膜で、H型形状のパターンに形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部5が形成される。

【0008】これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性膜4を予め通電フォーミングと呼ばれる通電処理によって電子放出部5を形成するのが一般的である。即ち、通電フォーミングとは、前記導電性膜4の両端に電圧を印加通電し、導電性膜4を局所的に破壊、変形もしくは変質させて構造を変化させ、電気的に高抵抗な状態の電子放出部5を形成する処理である。尚、電子放出部5では導電性膜4の一部に亀裂が発生しており、その亀裂付近から電子放出が行われる。

【0009】上述の表面伝導型電子放出素子は、構造が単純であることから、大面積に互って多数素子を配列形成できる利点がある。そこで、この特徴を活かすための種々の応用が研究されている。例えば、荷電ビーム源、表示装置等の画像形成装置への利用が挙げられる。

【0010】従来、多数の表面伝導型電子放出素子を配列形成した例としては、並列に表面伝導型電子放出素子を配列し、個々の表面伝導型電子放出素子の両端(両素子電極)を配線(共通配線とも呼ぶ)にて夫々結線した行を多数行配列(梯子型配置とも呼ぶ)した電子源が挙げられる(例えば、特開昭64-31332号公報、特開平1-283749号公報、同2-257552号公報)。

【0011】また、特に表示装置においては、液晶を用いた表示装置と同様の平板型表示装置とすることが可能で、しかもバックライトが不要な自発光型の表示装置として、表面伝導型電子放出素子を多数配置した電子源と、この電子源からの電子線の照射により可視光を発光する蛍光体とを組み合わせた表示装置が提案されている(アメリカ特許第5066883号明細書)。

【0012】

【発明が解決しようとする課題】上記の様な通電フォーミングによって電子放出部が形成される表面伝導型電子放出素子においては、なるべく低電圧、低電流、即ち低電力でフォーミング処理できることが望ましく、特に、電子ビーム源や表示装置等として多数の素子を構成する場合には重要である。

【0013】また、通電フォーミングによって導電性膜

中に形成される亀裂は、フォーミングに必要な電力が大きくなるほど、フォーミング時の爆発的なエネルギー集中(熱発生)により、亀裂幅が局所的に大きくなった不均一な形状になり易い。

【0014】例えば、上述のカーボン薄膜を導電性膜として用いた研究[荒木久 他: 真空, 第26巻, 第1号, 22頁 (1983)]では、フォーミング印加電圧が5~6V、フォーミング電流値が100mAを超え(フォーミング電力が約600mW)、導電性膜に形成される亀裂の幅は5~10 μm とばらつき、局所的に亀裂が不連続となっている領域がみられる。

【0015】上記のような大きなフォーミング電力を必要とする電子放出材料を使用した電子放出素子では、その製造が容易ではなく、とりわけ、多数の素子を同時にフォーミング処理するのは極めて困難である。更に、大きなフォーミング電力により、電子放出部の亀裂幅が不均一になった場合、亀裂幅の狭い領域ほど電子放出量が多くなり、逆に亀裂幅の広い領域ほど電子放出量が少なくなる傾向があるため、単一素子内及び各素子間の均一性が低下し、電子放出のばらつきが大きくなる。また、このような電子放出素子を用いて画像形成装置を構成すると、輝度のばらつきが生じ、高品位な画像を形成することはできない。

【0016】本発明は、上記事情を鑑み、電子放出部がより均一な電子放出素子、電子放出素子を複数備え各素子の電子放出部が均一な電子源、かかる電子源を備えより高品位な画像を形成し得る画像形成装置の提供を目的とするものである。

【0017】

【課題を解決するための手段】上記の目的を達成すべく成された本発明の構成は、以下の通りである。

【0018】即ち、本発明の第一は、基体上の一対の電極間に、電子放出部を有する導電性膜を備える電子放出素子において、前記導電性膜は、基板上での被覆形状が迷路図状のNi又はNiとNi酸化物からなることを特徴とする電子放出素子にある。

【0019】上記本発明第一の電子放出素子は、更にその特徴として、「前記導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の0~5atomic%の範囲にあり、且つ前記電子放出部を除く基板上の被覆面積率が、50~95%の範囲にある」こと、「前記導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の5~90atomic%の範囲にあり、且つ前記電子放出部を除く基板上の被覆面積率が、50~97%の範囲にある」こと、「表面伝導型電子放出素子である」こと、をも含むものである。

【0020】また、本発明の第二は、基板上の一対の電極間に、電子放出部を有する導電性膜を備える電子放出素子の製造方法において、基板上での被覆形状が迷路図状のNi又はNiとNi酸化物からなる導電性膜を形成

する成膜工程と、該導電性膜に通電処理を施して電子放出部を形成するフォーミング工程とを有することを特徴とする電子放出素子の製造方法にある。

【0021】上記本発明第二の製造方法は、更にその特徴として、「前記成膜工程で形成される導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の0～5 atomic %の範囲にあり、且つ基板上の被覆面積率が、50～95 %の範囲にある」こと、「前記成膜工程で形成される導電性膜は、Ni酸化物中のNi量が、該導電性膜中の全Ni量の5～90 atomic %の範囲にあり、且つ基板上の被覆面積率が、50～97 %の範囲にある」こと、をも含むものである。

【0022】また、本発明の第三は、基板上に、複数の電子放出素子が配列された電子源において、前記電子放出素子が、上記本発明第一の電子放出素子であることを特徴とする電子源にある。

【0023】上記本発明第三の電子源は、更にその特徴として、「前記複数の電子放出素子が、マトリクス状に配線されている」こと、「前記複数の電子放出素子が、梯子状に配線されている」こと、をも含むものである。

【0024】また、本発明の第四は、基板上に、複数の電子放出素子が配列された電子源の製造方法において、前記電子放出素子を、上記本発明第二の方法により製造することを特徴とする電子源の製造方法にある。

【0025】また、本発明の第五は、基板上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置において、前記電子源が、上記本発明第三の電子源であることを特徴とする画像形成装置にある。

【0026】更に、本発明の第六は、基板上に、複数の電子放出素子が配列された電子源と、該電子源から放出される電子線の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子源を、上記本発明第四の方法により製造することを特徴とする画像形成装置の製造方法にある。

【0027】本発明者は鋭意研究を重ねた結果、特定の導電性膜材料を用い、且つかかる導電性膜の成膜パターンを最終的に連続膜ではなく迷路図状（所謂、mazeパターン）とすることにより、前述の問題点を解消し得ることを見だし本発明に至ったものである。

【0028】即ち、本発明によれば、低電力フォーミングが可能となり、導電性膜に形成される亀裂形状の不均一性を解消し、1素子内、更には複数素子間の電子放出量のばらつきを低減することができる。これに加えて、導電性膜として連続膜を用いる場合に必要であった基板表面の改質が不要となり、更には熱的或は雰囲気的な制約も低減され、素子の製造が極めて容易になる。

【0029】

【発明の実施の形態】以下、本発明の好ましい実施態様

を示す。

【0030】本発明の電子放出素子は、先述したような冷陰極型の電子放出素子に分類される表面伝導型の電子放出素子である。

【0031】本発明の表面伝導型電子放出素子の基本的な構成には大別して、平面型と垂直型の2つがある。まず、平面型の表面伝導型電子放出素子について説明する。

【0032】図1は、本発明の平面型の表面伝導型電子放出素子の一構成例を示す模式図であり、図1(a)は平面図、図1(b)は縦断面図である。図1において、1は基板、2と3は電極（素子電極）、4はNi又はNiとNi酸化物からなる導電性膜、5は電子放出部である。

【0033】基板1としては、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、スパッタ法等によりSiO₂を積層したガラス基板及びアルミナ等のセラミックス基板等を用いることができる。

【0034】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができ、例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金及びPd、Ag、Au、RuO₂、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体及びポリシリコン等の半導体材料等から適宜選択される。

【0035】素子電極間隔L、素子電極幅W1、導電性膜4の形状等は、応用される形態等を考慮して設計される。素子電極間隔Lは、好ましくは、数百nmから数百μmの範囲であり、より好ましくは、素子電極間に印加する電圧等を考慮して1μmから100μmの範囲である。素子電極幅W1は、電極の抵抗値、電子放出特性を考慮して、数μmから数百μmの範囲とすることができる。素子電極2、3の膜厚dは、10nmから1μmの範囲とすることができる。また、導電性膜4の幅W2は、素子電極幅W1以下とするのが望ましい。

【0036】尚、図1に示した構成だけでなく、基板1上に、導電性膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0037】導電性膜4は、Ni又はNiとNi酸化物（NiO、Ni₂O₃等）からなる。NiとNi酸化物の混合物で構成される場合には、例えば金属Niとその表面酸化層、Ni酸化物とその表面還元Ni層等により構成される。かかる導電性膜4は、成膜当初は連続膜や島状膜であっても良いが、少なくとも後述するフォーミング工程を行う際には、迷路図状の膜になっていなければならない。

【0038】本明細書で言う迷路図状の膜とは、隙間を有するものの、全ての部分が孤立してはおらず、膜全体としては導電性を示す膜を意味する。かかる迷路図状の

膜の例を図13に模式的に示す。

【0039】図13(a)は、隙間6が比較的多い場合の例であり、基板若しくは下地が見えており、導電性膜4は線状に連結したように見える。図13(b)は、隙間6が少ない場合の例であり、導電性膜4は膜割れを起こしている様に見える。

【0040】図13(a)に示したような導電性膜4は、薄く成膜した場合や、成膜後の熱的工程における温度が高い場合、あるいは、加熱時間が長い場合等に形成され易く、図13(b)に示したような導電性膜4は、厚く成膜した場合や、成膜後の熱的工程における温度が低い場合、あるいは、加熱時間が短い場合等に形成され易い。

【0041】導電性膜4の膜厚は、上述の熱的工程の条件からの考慮だけでなく、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等も考慮しなければならない。そのため、導電性膜4の膜厚は、一義的には決められないが、通常は数nmから数百nmの範囲とするのが好ましく、より好ましくは、10nmから100nmの範囲とするのが良い。

【0042】電子放出部5は、導電性膜4の一部に形成された高抵抗の亀裂により構成され、導電性膜4の膜厚、膜質(迷路図状膜の被覆状態)、材料(NiとNi酸化物の組成比)及び後述する通電フォーミングの手法等に依存したものとなる。電子放出部5の内部には、100nm以下の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性膜4を構成する材料の元素、即ちNi元素を含有するものとなる。電子放出部5及びその近傍の導電性膜4には、後述する活性化工程を経た場合、その活性化工程を行った気相中に含まれる一部あるいは全ての元素からなる単体物質及び化合物を有する場合もある。

【0043】次に、垂直型の表面伝導型電子放出素子について説明する。

【0044】図2は、本発明の垂直型の表面伝導型電子放出素子の一構成例を示す模式図であり、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。21は段差形成部である。基板1、素子電極2及び3、導電性膜4、電子放出部5は、前述した平面型の表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成されたSiO₂等の絶縁性材料で構成することができる。段差形成部21の膜厚は、先に述べた平面型の表面伝導型電子放出素子の素子電極間隔Lに対応し、数百nmから数十μmの範囲とすることができる。この膜厚は、段差形成部21の製法、及び、素子電極2、3間に印加する電圧を考慮して設定されるが、数十nmから数十μmの範囲が好ましい。

【0045】導電性膜4は、素子電極2及び3と段差形

成部21作製後に、該素子電極2、3の上に積層される。

【0046】本発明の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図3に基づいて説明する。尚、図3においても図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0047】1) 基板1を洗剤、純水及び有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により前述の素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極2、3を形成する(図3(a))。

【0048】2) 素子電極2、3を設けた基板1上に、Ni又はNiとNi酸化物からなる導電性膜4を形成する(図3(b))。

【0049】この導電性膜4の形成には、金属Ni、Ni酸化物、有機Ni化合物、その他のNi化合物を用いることができ、その形成方法としては、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー等がある。尚、迷路図状の膜を形成するには、金属Niを真空蒸着法、スパッタ法等で薄く積層するか、有機Ni化合物を出発原料とするのが好適である。そして、適当な酸化処理、還元処理等の活性雰囲気処理や、真空処理、不活性ガス等による不活性雰囲気処理、加熱、非加熱処理等を適宜組み合わせることで、本発明に係るNi又はNiとNi酸化物からなる導電性膜4が得られる。

【0050】本発明においては、導電性膜4を、基板1上での被覆形状が迷路図状のNi又はNiとNi酸化物からなる膜としていることにより、金属Niの界面又はNi酸化物の狭い導電域において電界集中が容易に起こりやすく、そのため、後のフォーミング工程において低電力フォーミングが可能になったものと推測される。

【0051】通常、Ni酸化物の組成比が大きいと非常に高抵抗な膜となつて、通電フォーミングが不可能になってしまう。そのため、本発明に係る導電性膜4は、Ni酸化物中のNi量が、導電性膜4中の全Ni量の90 atomic %以下であることが望ましい。

【0052】また、上記導電性膜4は、基板1上の被覆面積率が50%以上の迷路図状の膜であるのが望ましい。かかる被覆面積率が50%未満の場合には、安定して導電性の膜とはなにくく、膜の途中で導電パスが切れた部分が発生し始め、部分的に不均一な抵抗分布になったり、非常に高抵抗な膜となる場合もあり、製造上の歩留りが悪い。

【0053】また、導電性膜4における金属Niの組成比が特に大きく、Ni酸化物中のNi量が、導電性膜4中の全Ni量の0~5 atomic %の場合には、上記被覆面積率が95%を超えると、Ni連続膜と同じようなフォーミング挙動を示し、フォーミング電力の低減に

は寄与しないことが多い。このような導電性膜4の一部では、少量の膜切れ部分(面積率が5%未満の、基板若しくは下地が露出している部分)が引き金となって、低電力フォーミングが可能となる場合もあるが、やはり製造上の歩留りが悪い。一方、導電性膜4におけるNi酸化物の組成比が特に大きくはなく、Ni酸化物中のNi量が、導電性膜4中の全Ni量の5~90atomic %の場合には、上記被覆面積率が97%を超えると、やはり連続膜と同じようなフォーミング挙動を示し、フォーミング電力の低減には寄与しないことが多い。

【0054】本発明において、導電性膜4の被覆面積率の測定は、例えば、1万~10万倍の電子顕微鏡やその写真から、画像処理により、導電性膜4の面積と、基板や下地の面積を比較して行い、具体的には、下式によって求められる。

【0055】被覆面積率=(導電性膜の占める面積/全面積)×100(%)

(但し、全面積=導電性膜の占める面積+基板や下地の見えている面積)

【0056】また、上記被覆面積率の簡便な測定法としては、電子顕微鏡写真の上に透明シートを載せ、導電性膜4の部分あるいは基板や下地の部分を光を遮断する色、例えば黒色マジック等により塗りつぶし、その透明シートの透過光量変化から求めることもできる。

【0057】3)次に、フォーミング処理を施す。素子電極2、3間に、不図示の電源より通電すると、導電性膜4に、局所的に破壊、変形もしくは変質等の構造の変化した亀裂領域が形成される。この亀裂領域が電子放出部5を構成する(図3(c))。本発明に係る導電性膜4は低電力でフォーミングされ、亀裂領域の形状は極めて均一性の高いものとなる。通電フォーミングの電圧波形の例を図4に示す。

【0058】電圧波形は、特にパルス波形が好ましい。これには、パルス波高値を定電圧としたパルスを連続的に印加する図4(a)に示した手法と、パルス波高値を増加させながらパルスを印加する図4(b)に示した手法がある。

【0059】まず、パルス波高値を定電圧とした場合について図4(a)で説明する。図4(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔であり、例えば、T1を1μ秒~10m秒、T2を10μ秒~100m秒とし、三角波の波高値(通電フォーミング時のピーク電圧)は、表面伝導型電子放出素子の形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は、三角波に限定されるものではなく、矩形波等の所望の波形を採用することができる。

【0060】次に、パルス波高値を増加させながら電圧パルスを印加する場合について図4(b)で説明する。図4(b)におけるT1及びT2は、図4(a)に示し

たのと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度づつ、増加させることができる。

【0061】通電フォーミング処理の終了は、パルス間隔T2中に、導電性膜4を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1V程度の電圧印加により流れる電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

10 【0062】4)フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流If、放出電流Ieが著しく変化する工程である。

【0063】活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、素子にパルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため、場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸等の有機酸類等を挙げることが出来、具体的には、メタン、エタン、プロパンなどC_nH_{2n+2}で表される飽和炭化水素、エチレン、プロピレンなどC_nH_{2n}等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流If、放出電流Ieが、著しく変化するようになる。

40 【0064】炭素及び炭素化合物とは、例えばグラファイト(いわゆるHOPG、PG、GCを包含するもので、HOPGはほぼ完全なグラファイト結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。)、非晶質カーボン(アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す。)であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

50 【0065】活性化工程の終了判定は、素子電流Ifと放出電流Ieを測定しながら、適宜行うことができる。

なお、パルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0066】5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることが出来る。

【0067】前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合には、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記炭素及び炭素化合物がほぼ新たに堆積しない分圧で 1×10^{-6} Pa以下が好ましく、さらには 1×10^{-8} Pa以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80 \sim 250^\circ\text{C}$ 好ましくは 150°C 以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 1×10^{-5} Pa以下が好ましく、さらには 1×10^{-6} Pa以下が特に好ましい。

【0068】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、圧力自体は多少上昇しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した H_2 、 O 、 O_2 なども除去でき、結果として素子電流 I_f 、放出電流 I_e が、安定する。

【0069】上述した工程を経て得られた本発明の電子放出素子の基本特性について、図5、図6を参照しながら説明する。

【0070】図5は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図5においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0071】図5において、55は真空容器であり、56は排気ポンプである。真空容器55内には電子放出素子が配されている。また、51は電子放出素子に素子電圧 V_f を印加するための電源、50は素子電極2、3間の導電性膜4を流れる素子電流 I_f を測定するための電流計、54は素子の電子放出部5より放出される放出電

流 I_e を捕捉するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、52は電子放出部5より放出される放出電流 I_e を測定するための電流計である。一例として、アノード電極54の電圧を $1 \text{ kV} \sim 10 \text{ kV}$ の範囲とし、アノード電極54と電子放出素子との距離 H を $2 \sim 8 \text{ mm}$ の範囲として測定を行うことができる。

【0072】真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、10 所望の真空雰囲気下での測定評価を行えるようになっている。

【0073】排気ポンプ56は、ターボポンプ、ロータリーポンプ等からなる通常の高真空装置系と、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子放出素子基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0074】図6は、図5に示した真空処理装置を用いて測定された放出電流 I_e 及び素子電流 I_f と、素子電圧 V_f との関係を模式的に示した図である。図6においては、放出電流 I_e が素子電流 I_f に比べて著しく小さいので、任意単位で示している。尚、縦・横軸ともリニアスケールである。

【0075】図6からも明らかなように、本発明の表面伝導型電子放出素子は、放出電流 I_e に関して次の3つの特徴的性質を有する。

【0076】即ち、第1に、本素子はある電圧（閾値電圧と呼ぶ；図6中の V_{th} ）以上の素子電圧を印加すると急激に放出電流 I_e が増加し、一方閾値電圧 V_{th} 以下では放出電流 I_e が殆ど検出されない。つまり、放出電流 I_e に対する明確な閾値電圧 V_{th} を持った非線形素子である。

【0077】第2に、放出電流 I_e が素子電圧 V_f に単調増加依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0078】第3に、アノード電極54（図5参照）に捕捉される放出電荷は、素子電圧 V_f を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0079】以上の説明より理解されるように、本発明を適用可能な表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0080】図6においては、素子電流 I_f が素子電圧 V_f に対して単調増加する（MI特性）例を示したが、素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗特性（VCNR特性）を示す場合もある（不図示）。

これらの特性は、前述の工程を制御することで制御できる。

【0081】次に、本発明の電子放出素子の応用例について以下に述べる。本発明の表面伝導型電子放出素子を複数個基板上に配列し、例えば電子源や画像形成装置が構成できる。

【0082】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動する梯子状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0083】本発明の表面伝導型電子放出素子については、前述した通り3つの特性がある。即ち、表面伝導型電子放出素子からの放出電子は、閾値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、閾値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子にパルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0084】以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図7を用いて説明する。図7において、71は電子源基板、72はX方向配線、73はY方向配線である。74は表面伝導型電子放出素子、75は結線である。

【0085】m本のX方向配線72は、 $Dx1$ 、 $Dx2$ 、……、 Dxm からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は適宜設計される。Y方向配線73は、 $Dy1$ 、 $Dy2$ 、……、 Dyn のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している（m、nは、共に正の整数）。

【0086】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。X方向配線

72とY方向配線73は、それぞれ外部端子として引き出されている。

【0087】表面伝導型電子放出素子74を構成する一対の素子電極（不図示）は、それぞれm本のX方向配線72とn本のY方向配線73に、導電性金属等からなる結線75によって電氣的に接続されている。

【0088】配線72と配線73を構成する材料、結線75を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、また夫々異なってもよい。これらの材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0089】X方向配線72には、X方向に配列した表面伝導型電子放出素子74の行を選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した表面伝導型電子放出素子74の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0090】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

【0091】このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図8と図9及び図10を用いて説明する。図8は、画像形成装置の表示パネルの一例を示す模式図であり、図9は、図8の画像形成装置に使用される蛍光膜の模式図である。図10は、NTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【0092】図8において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86がフリットガラス等を用いて接続されている。88は外囲器であり、例えば大気中あるいは窒素中で、400～500℃の温度範囲で10分間以上焼成することで、封着して構成される。

【0093】74は、図1に示したような電子放出素子である。72、73は、表面伝導型電子放出素子の一対の素子電極と接続されたX方向配線及びY方向配線である。

【0094】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェ

ースプレート86、支持枠82及び基板71で外囲器88を構成してもよい。一方、フェースプレート86とリアプレート81の間に、スペーサーと呼ばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0095】図9は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみで構成することができる。カラーの蛍光膜の場合は、蛍光体の配列により、ブラックストライプ(図9(a))あるいはブラックマトリクス(図9(b))等と呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。黒色導電材91の材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0096】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法や印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常、「フィルミング」と呼ばれる。)を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0097】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極(不図示)を設けてもよい。

【0098】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0099】図8に示した画像形成装置は、例えば以下のようにして製造される。

【0100】外囲器88内は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプ等のオイルを使用しない排気装置により不図示の排気管を通じて排気し、 10^{-5} Pa程度の真空度の有機物質の十分に少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置に配置されたゲッター(不図示)を加熱し、蒸着膜を形成

する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば 1×10^{-5} Pa以上の真空度を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は適宜設定できる。

【0101】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図10を用いて説明する。図10において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタ、105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、 V_x 及び V_a は直流電圧源である。

【0102】表示パネル101は、端子 D_{x1} 乃至 D_{xm} 、端子 D_{y1} 乃至 D_{yn} 及び高圧端子87を介して外部の電気回路と接続している。端子 D_{x1} 乃至 D_{xm} には、表示パネル101内に設けられている電子源、即ち、 m 行 n 列の行列状にマトリクス配線された表面伝導型電子放出素子群を1行(n 素子)づつ順次駆動する為の走査信号が印加される。端子 D_{y1} 乃至 D_{yn} には、前記走査信号により選択された1行の表面伝導型電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子87には、直流電圧源 V_a より、例えば10kVの直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに、蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0103】走査回路102について説明する。同回路は、内部に m 個のスイッチング素子(図中、 S_1 乃至 S_m で模式的に示している)を備えたものである。各スイッチング素子は、直流電圧電源 V_x の出力電圧もしくは0[V](グラウンドレベル)のいずれか一方を選択し、表示パネル101の端子 D_{x1} 乃至 D_{xm} と電気的に接続される。各スイッチング素子 S_1 乃至 S_m は、制御回路103が出力する制御信号 T_{scan} に基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0104】直流電圧源 V_x は、本例の場合には表面伝導型電子放出素子の特性(電子放出閾値電圧)に基づき、走査されていない素子に印加される駆動電圧が電子放出閾値電圧以下となるような一定電圧を出力するように設定されている。

【0105】制御回路103は、外部より入力される画像信号に基づいて適切な表示が行われるように、各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号 T_{sync} に基づいて、各部に対して T_{scan} 、 T_{sft} 及び T_{mry} の各制御信号を発生する。

【0106】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から、同期信号成分と

17

輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルター）回路等を用いて構成できる。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Tsync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は、便宜上DATA信号と表した。このDATA信号は、シフトレジスタ104に入力される。

【0107】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像の1ライン毎にシリアル／パラレル変換するためのもので、前記制御回路103より送られる制御信号Tsftに基づいて動作する（即ち、制御信号Tsftは、シフトレジスタ104のシフトクロックであると言い換えてもよい。）。シリアル／パラレル変換された画像1ライン分のデータ（電子放出素子n素子分の駆動データに相当）は、Id1乃至Idnのn個の並列信号として前記シフトレジスタ104より出力される。

【0108】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号Tmryに従って適宜Id1乃至Idnの内容を記憶する。記憶された内容は、Id'1乃至Id'nとして出力され、変調信号発生器107に入力される。

【0109】変調信号発生器107は、画像データId'1乃至Id'nの各々に応じて、表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子Dy1乃至Dy nを通じて表示パネル101内の表面伝導型電子放出素子に印加される。

【0110】前述したように、本発明の電子放出素子は放出電流Ieに関して以下の基本特性を有している。即ち、電子放出には明確な閾値電圧Vthがあり、Vth以上の電圧が印加された時のみ電子放出が生じる。電子放出閾値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値電圧以下の電圧を印加しても電子放出は生じないが、電子放出閾値電圧以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値Vmを変化させることにより、出力電子ビームの強度を制御することが可能である。また、パルスの幅Pwを変化させることにより、出力される電子ビームの電荷の総量を制御することが可能である。

【0111】従って、入力信号に応じて電子放出素子を変調する方式としては、電圧変調方式とパルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107としては、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの波高値を変調できるような電圧変調方式の回路を用いることができる。パルス幅変調方式を実施するに際し

18

ては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0112】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0113】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには同期信号分離回路106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路等を付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0114】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプ等を用いた増幅回路を採用でき、必要に応じてレベルシフト回路等を付加することもできる。パルス幅変調方式の場合には、例えば電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0115】このような構成をとり得る本発明の画像形成装置においては、各電子放出素子に、容器外端子Dx1乃至Dxm、Dy1乃至Dy nを介して電圧を印加することにより、電子放出が生じる。高圧端子87を介してメタルバック85あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0116】ここで述べた画像形成装置の構成は、本発明の画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号についてはNTSC方式を挙げたが、入力信号はこれに限られるものではなく、PAL、SECAM方式等の他、これらよりも多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0117】次に、前述の梯子型配置の電子源及び画像形成装置について、図11及び図12を用いて説明する。

【0118】図11は、梯子型配置の電子源の一例を示す模式図である。図11において、110は電子源基板、111は電子放出素子である。112は、電子放出素子111を接続するための共通配線D1～D10であり、これらは外部端子として引き出されている。電子放出素子111は、基板110上に、X方向に並列に複数個配置されている（これを素子行と呼ぶ）。この素子行が複数個配置されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出閾値以上の電圧を印加し、電子ビームを放出させたくない素子行には、電子放出閾値以下の電圧を印加する。各素子行間に位置する共通配線D2～D9は、例えばD2とD3、D4とD5、D6とD7、D8とD9とを夫々一体の同一配線とすることもできる。

【0119】図12は、梯子型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するための開口、D1乃至Dmは容器外端子、G1乃至Gnはグリッド電極120と接続された容器外端子である。110は各素子行間の共通配線を同一配線とした電子源基板である。図12においては、図8、図11に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図8に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0120】図12においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、表面伝導型電子放出素子111から放出された電子ビームを変調するためのものであり、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッド電極の形状や配置位置は、図12に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッド電極を表面伝導型電子放出素子の周囲や近傍に設けることもできる。

【0121】容器外端子D1乃至Dm及びグリッド容器外端子G1乃至Gnは、不図示の制御回路と電気的に接続されている。

【0122】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）して行くのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0123】以上説明した本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコン

ピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0124】

【実施例】以下、実施例を用いて本発明を更に詳細に説明する。

【0125】〔実施例1〕本実施例では、図1に示したような電子放出素子を作成した。以下、製造方法を順を追って説明する。

10 【0126】①、絶縁性基板1として石英ガラスを用い、これに、スパッタ蒸着法により、Ptからなる素子電極2、3を製膜した。素子電極間隔Lは $20\mu\text{m}$ 、素子電極幅W1は $300\mu\text{m}$ 、膜厚dは 400\AA である。

【0127】②、次に、レジスト膜を設け、パターンニングし、これにスパッタ蒸着法により、Ni膜を 200\AA 厚に製膜した。次に、レジスト膜を剥離することにより、素子電極2、3間の所定の位置にNi膜4を形成した。

20 【0128】③、次に、上記素子を、ロータリーポンプと油拡散ポンプを組み合わせた真空装置内に設置し、水素(H_2)ガス圧 50Torr の雰囲気下、温度 300°C で10分間加熱処理をすることにより、還元Ni膜4を形成した。この状態で、倍率5万倍の電子顕微鏡で観察したところ、迷路図状の膜になっていた。この電子顕微鏡写真を画像処理することにより、還元Ni膜の被覆面積率を測定した結果、 $(62\pm 2)\%$ であった。

30 【0129】④、次に、上記素子の電極2、3の間に、パルス波高値を増加させながら、電圧パルスを印加する手法によりフォーミング処理を行った。その結果、フォーミング電圧Vfは 4.8V 、フォーミング電流Ifは 5.1mA で、フォーミング電力Wfは約 25mW と見積もられた。なお、フォーミングを行う前の素子抵抗値は $1.4\text{K}\Omega$ であった。

【0130】以上のようにして作成した電子放出素子の特性評価を、同じ真空装置内で、素子電極2、3間に 18V 印加して行った。その結果、放出電流Ieは $0.9\mu\text{A}$ 、放出効率は約 0.1% であった。

40 【0131】更に、同様な工程で作成した他の4素子の、Wfは $18\sim 32\text{mW}$ 、Ieは $0.9\sim 1.1\mu\text{A}$ の範囲であった。尚、フォーミング後の電子放出部を除いた被覆面積率は、 $60\sim 68\%$ の範囲内であった。

【0132】〔比較例1〕実施例1において、工程②のNiスパッタ膜の膜厚を、 1000\AA になるように製膜した以外、同様な工程で作成したフォーミング前の素子を、倍率5万倍の電子顕微鏡で観察したところ、完全な連続膜（被覆面積率 100% ）であった。このフォーミング前の素子の抵抗値は、 60Ω であった。

50 【0133】上記素子を、実施例1の工程④と同様にフォーミング処理したところ、Vf= 12V 、If= 65mA で、Wf $\approx 680\text{mW}$ と見積もられた。また、放出

電流 $I_e = 1.5 \mu A$ であったが、更に同様な工程で作成した他の5素子を含めて、 W_f は $560 \sim 700 mW$ 、 I_e は $0.7 \sim 1.5 \mu A$ の範囲であった。

【0134】以上の様に、比較例1においては、フォーミング電力が、実施例1に比較して非常に大きかった。また、比較例1の計5素子の電子顕微鏡での観察結果では、各素子共、大きなフォーミング電力による亀裂形成のためか、爆発的な亀裂が所々に見られた。このような爆発的な亀裂形成のため、同じ作成工程を経た素子でも、電子放出量が均一にはならず、素子特性が安定しなかつた*10

*たものと思われる。

【0135】[実施例2～4、比較例2～3] 実施例1において、工程②及び工程③のNi膜厚や、加熱処理条件を変えて、種々の被覆面積率の迷路図状の導電性膜を有する素子を、各5素子ずつ作成した。そして、各素子のフォーミング電力 W_f 、放出電流 I_e を含めて、実施例1及び比較例1と共に、表1に示す。

【0136】

【表1】

	被覆面積率 (%)	フォーミング電力 W_f (mW)	放出電流 I_e (μA)
実施例 1	60～68	18～32	0.9～1.1
実施例 2	50～61	18～26	0.9～1.0
実施例 3	72～80	24～34	1.0～1.2
実施例 4	91～95	40～68	1.2～1.3
比較例 1	100	560～700	0.7～1.5
比較例 2	39～46	(21～26)	(0.3～0.7)
比較例 3	28～35	—	—

【0137】表1に示したように、導電性の高いNiのみの連続膜（比較例1）では、フォーミング時に電界集中する場所が分散することで、亀裂形成に要するエネルギーが大きくなり、一部の電界集中した場所に大きなエネルギーが集中したために、不均一な亀裂が形成されたものと思われる。そのため、同一条件で作成した素子でも、電子放出量が $0.7 \sim 1.5 \mu A$ と大きくばらついたものと思われる。

【0138】一方、被覆面積率が50%未満（比較例2及び3）の迷路図状の膜では、素子抵抗が極めて大きかったり、ほとんど絶縁状態であったため、フォーミングが十分に行われなかった。即ち、比較例2においては、5素子中2素子が、良好なフォーミングを行うことができず、フォーミングが可能だった素子も、フォーミング電力は低いが、放出電流 I_e が小さかった。また、比較例3においては、ほとんど絶縁状態でフォーミングを行えなかった。

【0139】これに対し、被覆面積率が50%～95%の導電性の高いNi膜の迷路図状の膜を形成した素子（実施例1～4）では、迷路図状の狭い導電域に電界集中が容易に起こりやすくなり、そのため、低電力フォーミングが可能となったと想像される。また、低電力でフォーミングする結果、亀裂形状の不均一さも生ずる確率が低く、そのため、電子放出量も安定したものと思われる。

【0140】[実施例5] ここまで述べてきた実施例及び比較例は、金属Niからなる導電性膜を用いた例であるが、本実施例では、NiとNi酸化物からなる導電性膜を用いた電子放出素子について詳細に説明する。

【0141】実施例1の工程①と同様に実施した後、以下の工程を実施した。

【0142】②. レジスト膜を設け、パターニングし、蟻酸Ni水溶液をスピナー法により塗布し、乾燥加熱した後、レジスト膜を剥離することにより、素子電極2, 3間の所定の位置に、幅 W_2 が $200 \mu m$ 、膜厚 800 \AA のNi化合物4を形成した。

【0143】③. 次に、上記素子を、ロータリーポンプと油拡散ポンプを組み合わせた排気装置を有する真空装置内に設置し、水素 (H_2) ガス圧 50 Torr の雰囲気下、温度 $350^\circ C$ で40分間加熱処理をすることにより、膜厚約 500 \AA の還元Ni膜4を形成した。

【0144】④. 次に、 $60^\circ C$ で、 H_2 の代わりに、酸素 (O_2) ガスを 20 Torr 導入し、表面酸化Niを形成した。この導電性薄膜4が、NiとNi酸化物からなることは、同様に作製した膜を、XPS法 (X線光電子分光法) により、Ni ($2P_{3/2}$) の結合エネルギー 852 eV 付近、及び酸化物Niによる 854 eV , 856 eV 付近のピークを検出することにより確認した。そして、この導電性膜4を、アルゴン (Ar) ガスによりエッチングしながら、Ni及び酸化物Niの各々のスペクトルピーク面積を測定し、次に検量線をもとに、膜厚方向のNiと酸化物Niの組成比を測定した。その結果、Ni酸化物中のNi量は、全Ni量の $53 \sim 56 \text{ atomic \%}$ と見積もられた。

【0145】更に、この導電性膜4を、倍率5万倍の電子顕微鏡で観察したところ、迷路図状の膜になっていた。この電子顕微鏡写真を画像処理することにより、上記NiとNi酸化物からなる導電性膜4の被覆面積率を

測定した結果、 $(58 \pm 2)\%$ であった。

【0146】⑤、次に、上記素子の電極2、3の間に、パルス波高値を増加させながら、電圧パルスを印加する手法によりフォーミング処理を行った。その結果、フォーミング電圧 V_f は4.6V、フォーミング電流 I_f は4.2mAで、フォーミング電力 W_f は20mWと見積もられた。なお、フォーミングを行う前の素子抵抗値は 850Ω であった。

【0147】以上のようにして作成した電子放出素子の特性評価を、同じ真空装置内で、素子電極2、3間に108V印加して行った。その結果、放出電流 $I_e = 1.1\mu A$ 、放出効率は約0.1%であった。

【0148】更に、同様な工程で作成した他の4素子 *

*の、 W_f は12~22mW、 I_e は0.9~1.1 μA の範囲であった。尚、フォーミング後の電子放出部を除いた被覆面積率は、55~61%の範囲内であった。

【0149】[実施例6~16、比較例4~8] 実施例5において、工程②~④のNi化合物の膜厚、及び還元、酸化条件を変えて、種々の条件の素子、即ち、Ni酸化物中のNi量が、全Ni中に占める組成比を変えた素子、また、被覆面積率を変えた素子を、各5素子ずつ作製した。そして、その結果を、組成比、被覆面積率、フォーミング電力 W_f 、放出電流 I_e と共に、実施例5と併せて表2に示す。

【0150】

【表2】

	組成比 (注1) (atomic %)	被覆面積率 (%)	フォーミング電力 W_f (mW)	放出電流 I_e (μA)
実施例5	53~56	55~61	12~22	0.9~1.1
実施例6	36~41	66~71	40~54	1.0~1.2
実施例7	19~23	78~84	47~60	1.1~1.2
実施例8	5~9	90~95	51~65	1.2~1.3
実施例9	26~29	50~57	35~50	1.1~1.2
実施例10	14~19	67~72	42~55	1.1~1.3
実施例11	85~90	50~56	10~18	0.9~1.0
実施例12	70~73	62~67	19~31	0.9~1.1
実施例13	56~60	80~84	33~49	1.0~1.2
実施例14	33~37	91~97	39~48	1.1~1.2
実施例15	78~82	77~82	22~34	1.0~1.1
実施例16	66~70	91~96	27~41	1.0~1.2
比較例4	35~39	42~46	(16~24)	(0.4~0.7)
比較例5	66~70	42~47	—	—
比較例6	91~93	71~75	—	—
比較例7	92~95	100	—	—
比較例8	0~4	>95	360~650	0.7~1.4

(注1) Ni酸化物中のNi量/全Ni量

【0151】この結果、まず、Ni酸化物中のNi量が、全Ni量の5%未満で、かつ、被覆面積率が95%を超える素子(比較例8)では、フォーミング電力が極めて大きい。また、放出電流値のバラツキも大きいことから、比較例1と同様なフォーミング挙動であったと思われる。

【0152】また、Ni酸化物中のNi量が、全Ni量の90%を超える素子(比較例6及び7)では、素子の抵抗値が極めて大きくなり、良好なフォーミングができなかった。

【0153】また、被覆面積率が50%未満の素子(比較例4及び5)では、非常に高抵抗な素子になって、フォーミングできなかったり(比較例5)、一部の素子ではフォーミングが可能であったが、放出電流の小さい素

子しか得られなかった(比較例4)。即ち、被覆面積率が50%未満の迷路図状膜であると、膜中で導電パスが切れた部分が発生し始め、導電性膜の一部にしか実際の導電パスが存在しなくなり、更にほとんど導電パスが存在しなくなって、フォーミングすらできない状態になったものと思われる。

【0154】以上の比較例の結果及び実施例1~16の結果から判るように、低電力フォーミングが可能であり、かつ、放出電流の安定した素子を作製するためには、Ni酸化物中のNi量が全Ni量の0~5atomic%の組成範囲であり、かつ、基板上の被覆面積率が50~97%の範囲であるか、又は、Ni酸化物中のNi量が全Ni量の5~90atomic%の組成範囲であり、かつ、基板上の被覆面積率が50~95%の範囲

の迷路図状の膜であることが好ましい。

【0155】[実施例17] 本実施例では、実施例1の図1に示したような本発明の表面伝導型電子放出素子の多数個を、単純マトリクス配置（カラー3色を含めて60行×60列）した図7（模式図）に示したような電子源基板を用いて、図8に示したような画像形成装置を作製した例を説明する。まず、図7の電子源基板の部分平面図を図14に示す。また、同図中のA-A'断面図を図15に示す。ただし、図7、図8、図14、図15において、同じ符号は、同じ部材を示す。

【0156】ここで、71は電子源基板、72はX方向配線（下配線とも呼ぶ）、73はY方向配線（上配線とも呼ぶ）、4は導電性膜、2、3は素子電極、401は層間絶縁層、402は素子電極2と下配線72との電氣的接続のためのコンタクトホールである。

【0157】まず、本実施例の電子源基板の製造方法を、図16及び図17を用いて、工程順に従って、具体的に説明する。なお、以下の工程a～fは、図16の（a）～（d）、及び図17の（e）～（f）に対応する。

【0158】工程a：清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板71上に、真空蒸着により、厚さ50ÅのCr、厚さ6000ÅのAuを順次積層した後、レジストをスピナーにより回転塗布し、ベークした後、フォトマスク像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線72を形成した。

【0159】工程b：次に厚さ1.0 μ mのシリコン酸化膜からなる層間絶縁層401をRFスパッタ法により堆積した。

【0160】工程c：工程bで堆積したシリコン酸化膜に、コンタクトホール402を形成するためのレジストパターンを作り、これをマスクとして、層間絶縁層401をエッチングして、コンタクトホール402を形成した。

【0161】工程d：次に、実施例1の工程①と同様に、素子電極間隔Lとなるべきパターンを、レジストで形成し、実施例1の工程①と同様の素子電極2、3を形成した。

【0162】工程e：素子電極2、3の上に、上配線73のレジストパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次、真空蒸着法により堆積し、リフトオフにより、不要の部分を除去して、所望の形状の上配線73を形成した。

【0163】工程f：素子電極間ギャップL、及びこの近傍に開口を有するレジスト膜のパターンを設け、その上に、実施例1の工程②と同様に、スパッタ蒸着法により、Ni膜を200Å厚に製膜し、次に、レジスト膜を剥離することにより、素子電極2、3間の所定の位置

に、幅200 μ mのNi膜4を形成した。

【0164】以上の工程a～fにより、絶縁性基板71上に、下配線72、層間絶縁層401、上配線73、素子電極2、3、Niからなる導電性膜4を形成した。

【0165】次に、多数の導電性膜4を60行×60列にマトリクス状に配線した上記電子源基板71を用いて、画像形成装置（図8）を作製した。

【0166】まず、上記電子源基板71をリアプレート81に固定した後、基板71の5mm上方に、フェースプレート86（ガラス基板83の内面に、画像形成部材であるところの蛍光膜84と、メタルバック85が形成されて構成される）を支持枠82を介して配置し、フェースプレート86、支持枠82、リアプレート81の接合部に、フリットガラスを塗布し、大気中で、410℃で焼成することで封着した。また、リアプレート81への基板71の固定も、フリットガラスで行った。

【0167】画像形成部材であるところの蛍光膜84は、カラーを実現するために、ストライプ形状（図9（a）参照）の蛍光体とし、先にブラックストライプを形成し、その間隙部に、スラリー法により各色蛍光体92を塗布して、蛍光膜84を作製した。

【0168】また、蛍光膜84の内面側には、メタルバック85を設けた。メタルバック85は、蛍光膜84の作製後、蛍光膜84の内面側表面の平滑化处理（通常、フィルミングと呼ばれる）を行い、その後、Alを真空蒸着することで作製した。

【0169】フェースプレート86には、更に、蛍光膜84の導電性を高めるため、蛍光膜84の外側面に透明電極（不図示）を設けた。

【0170】前述の封着を行う際、カラーの場合は、各色蛍光体92と、表面伝導型電子放出素子74とを対応させなくてはならないため、十分な位置合わせを行った。

【0171】以上のようにして完成した外囲器88内の雰囲気、排気管（不図示）を通じて、真空ポンプにて排気し、十分な真空度に達した後、実施例1の工程③と同様の工程により還元Niの導電性膜4を形成した。この導電性膜4は、画像形成装置を作製し、種々の測定を終えた後、分解して電子顕微鏡で観察した結果、被覆面積率が約61%の迷路図状の膜であった。

【0172】還元Niの導電性膜4を形成した後、容器外端子Dx1ないしDx60と、Dy1ないしDy60を通じ、表面伝導型電子放出素子74の素子電極2、3間に、パルス波高値を増加させながら、電圧パルスを加える手法により、フォーミング処理を行った。この結果、1素子当たりのフォーミング電力は、約25mWと、低電力でフォーミングが行えた。

【0173】この後、不図示の排気管を通じ、外囲器88内を10⁻⁵Pa程度の真空度とし、該排気管を、ガスバーナーで熱することで溶着し、外囲器88の封止を行

った。最後に、封止後の真空度を維持するために、高周波加熱法でゲッター処理を行った。

【0174】以上のようにして完成した表示パネル201（図8参照）において、容器外端子Dx1乃至Dx60とDy1乃至Dy60を通じ、走査信号及び変調信号を、不図示の信号発生手段により、各々の電子放出素子74に印加することにより、電子放出させると共に、高圧端子87を通じて、メタルバック85、透明電極（不図示）に1kV以上の高電圧を印加して、電子ビームを加速し、蛍光膜84に衝突させ、励起、発光させることで、画像表示を行った。

【0175】その結果、輝度むらが少なく、品位の高い画像の表示がなされた。これは、低電力でフォーミングが可能となった結果、各素子のフォーミング時の亀裂形状の不均一さを生ずる確率が低く、そのため、各素子の電子放出量のバラツキも少なく、安定したためと思われる。

【0176】以上は、画像形成装置の作製法であるが、図8のフェースプレート86の代わりにグリッド電極（不図示）を配置すると、かかるグリッド電極に電圧を印加することにより、放出電子を引き出すことのできる電子発生装置を作製することができる。

【0177】〔実施例18〕実施例17における工程eまでは、同様な方法により作製した後、工程fにおいては、実施例5の工程②と同様にして、膜厚800ÅのNi化合物4を形成した。

【0178】以上の工程a～fにより、絶縁性基板71上に、下配線72、層間絶縁層401、上配線73、素子電極2、3、導電性膜4を形成した。

【0179】次に、多数の導電性膜4を60行×60列にマトリクス状に配線した上記電子源基板71を用いて、画像形成装置（図8）を作製した。

【0180】まず、上記電子源基板71をリアプレート81に固定した後、基板71の5mm上方に、フェースプレート86（ガラス基板83の内面に、画像形成部材であるところの蛍光膜84と、メタルバック85が形成されて構成される）を支持枠82を介して配置し、フェースプレート86、支持枠82、リアプレート81の接合部に、フリットガラスを塗布し、大気中で、410℃で焼成することで封着した。また、リアプレート81への基板71の固定も、フリットガラスで行った。

【0181】画像形成部材であるところの蛍光膜84は、カラーを実現するために、ストライプ形状（図9（a）参照）の蛍光体とし、先にブラックストライプを形成し、その間隙部に、スラリー法により各色蛍光体92を塗布して、蛍光膜84を作製した。

【0182】フェースプレート86には、更に、蛍光膜84の導電性を高めるため、蛍光膜84の外側面に透明電極（不図示）を設けた。

【0183】前述の封着を行う際、カラーの場合は、各

色蛍光体92と、表面伝導型電子放出素子74とを対応させなくてはならないため、充分な位置合わせを行った。

【0184】以上のようにして完成した外囲器88内の雰囲気、排気管（不図示）を通じて、真空ポンプにて排気し、充分な真空度に達した後、実施例5の工程③及び工程④と同様の工程により、Ni酸化物中のNi量が、全Ni量の53～56atomic%、上記NiとNi酸化物の膜の被覆面積率が、約58%の導電性膜4を得た。

【0185】そして、容器外端子Dx1乃至Dx60と、Dy1乃至Dy60を通じ、表面伝導型電子放出素子74の素子電極2、3間に、パルス波高値を増加させながら、電圧パルス印加する手法により、フォーミング処理を行った。この結果、1素子当たりのフォーミング電力は約18mWと、低電力でフォーミングが行えた。

【0186】その後、実施例17と同様にして、画像表示を行った結果、やはり、輝度むらが少なく、品位の高い画像の表示がなされた。これも、低電力でフォーミングが可能となった結果、各素子のフォーミング時の亀裂形状の不均一さを生ずる確率が低く、そのため、各素子の電子放出量のバラツキも少なく、安定したためと思われる。

【0187】

【発明の効果】以上説明したように、本発明によれば、特定の導電性膜材料を用い、且つかかる導電性膜の成膜パターンを最終的に連続膜ではなく迷路図状としたことにより、低電力フォーミングが可能となり、導電性膜に形成される亀裂形状の不均一性を解消し、1素子内、更には複数素子間の電子放出量のばらつきを低減することができる。これに加えて、導電性膜として連続膜を用いる場合に必要であった基板表面の改質が不要となり、更には熱的或は雰囲氣的な制約も低減され、素子の製造が極めて容易になった。

【0188】そのため、本発明の電子放出素子を同一基板上に多数配列形成した本発明の電子源においては、低電力フォーミングが可能で製造が極めて容易であるばかりでなく、素子特性のバラツキの少ない安定した電子線発生装置となる。また、本発明の電子源を用いた本発明の画像形成装置は、輝度むらの少ない高品位な画像を安定して表示することができ、高品位なカラーフラットテレビ等が実現される。

【図面の簡単な説明】

【図1】本発明の電子放出素子の一例である平面型の表面伝導型電子放出素子を模式的に示した平面図及び縦断面図である。

【図2】本発明の電子放出素子の一例である垂直型の表面伝導型電子放出素子を模式的に示した図である。

【図3】図1の表面伝導型電子放出素子の製造方法の一

例を説明するための図である。

【図4】フォーミング処理に用いる電圧波形の例である。

【図5】本発明の電子放出素子の製造に用いることのできる真空処理装置（測定評価装置）の一例を示す概略構成図である。

【図6】本発明の表面伝導型電子放出素子の放出電流 I_e および素子電流 I_f と素子電圧 V_f の関係の典型的な例を示す図である。

【図7】本発明の単純マトリクス配置の電子源の概略構成図である。 10

【図8】本発明の単純マトリクス配置の電子源を用いた画像形成装置に用いる表示パネルの概略構成図である

【図9】図8の表示パネルにおける蛍光膜を示す図である。

【図10】図8の表示パネルにNTSC方式のテレビ信号に応じて表示を行うための駆動回路の一例を示すブロック図である。

【図11】本発明の梯子型配置の電子源の概略平面図である。 20

【図12】本発明の梯子型配置の電子源を用いた画像形成装置に用いる表示パネルの概略構成図である。

【図13】本発明に係る迷路図状の膜を説明するための模式図である。

【図14】本発明の実施例17及び実施例18に係る単純マトリクス配置の電子源基板の部分平面図である。

【図15】図14の電子源基板の部分断面図である。

【図16】図14の電子源基板の製造工程を説明するための断面図である。

【図17】図14の電子源基板の製造工程を説明するための断面図である。 30

【図18】従来例の表面伝導型電子放出素子の平面図である。

【符号の説明】

- 1 基板
- 2, 3 素子電極
- 4 導電性膜
- 5 電子放出部
- 6 迷路図状膜の隙間
- 21 段差形成部
- 50 導電性膜4を流れる素子電流 I_f を測定するため

の電流計

51 電子放出素子に素子電圧 V_f を印加するための電源

52 電子放出部5より放出される放出電流 I_e を測定するための電流計

53 アノード電極54に電圧を印加するための高圧電源

54 電子放出部5より放出される電子を捕捉するためのアノード電極

55 真空容器

56 排気ポンプ

71 電子源基板

72 X方向配線

73 Y方向配線

74 表面伝導型電子放出素子

75 結線

81 リアプレート

82 支持枠

83 ガラス基板

20 84 蛍光膜

85 メタルバック

86 フェースプレート

87 高圧端子

88 外囲器

91 黒色導電材

92 蛍光体

101 表示パネル

102 走査回路

103 制御回路

30 104 シフトレジスタ

105 ラインメモリ

106 同期信号分離回路

107 変調信号発生器

V_x , V_a 直流電圧源

110 電子源基板

111 電子放出素子

112 電子放出素子を配線するための共通配線

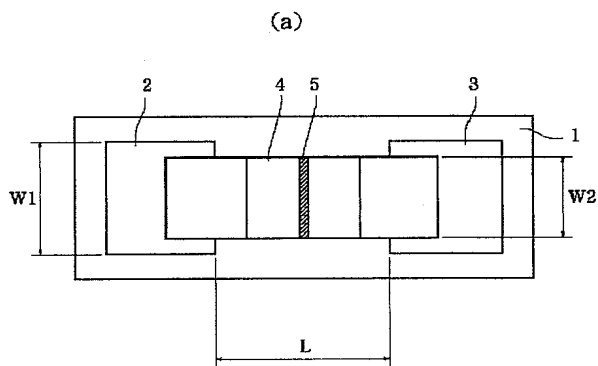
120 グリッド電極

121 電子が通過するための開口

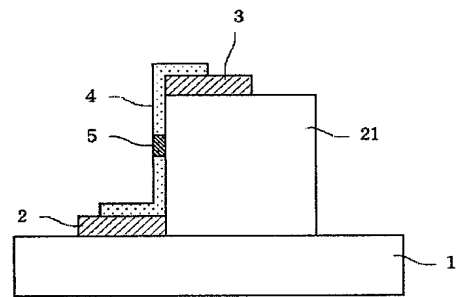
40 401 層間絶縁層

402 コンタクトホール

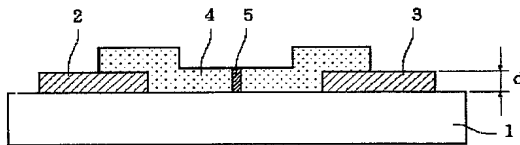
【図 1】



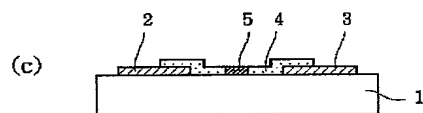
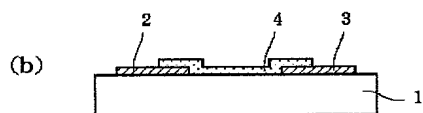
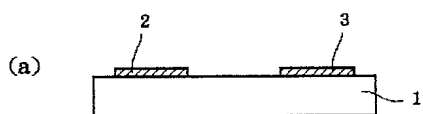
【図 2】



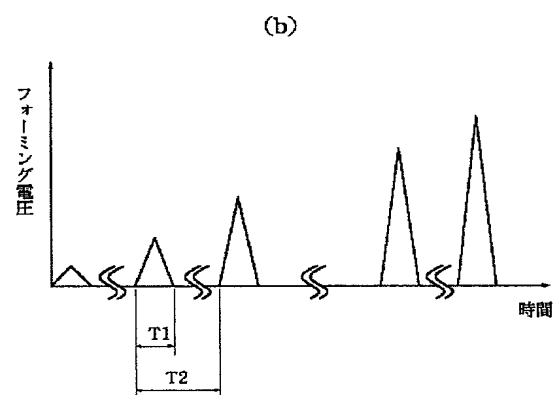
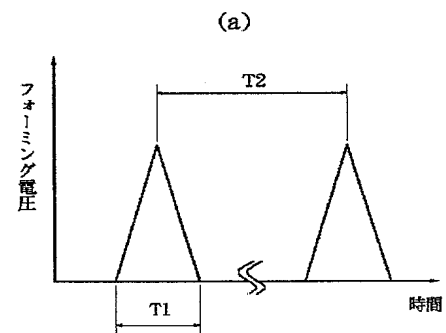
(b)



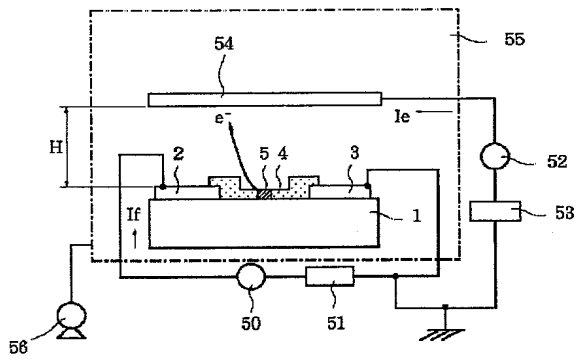
【図 3】



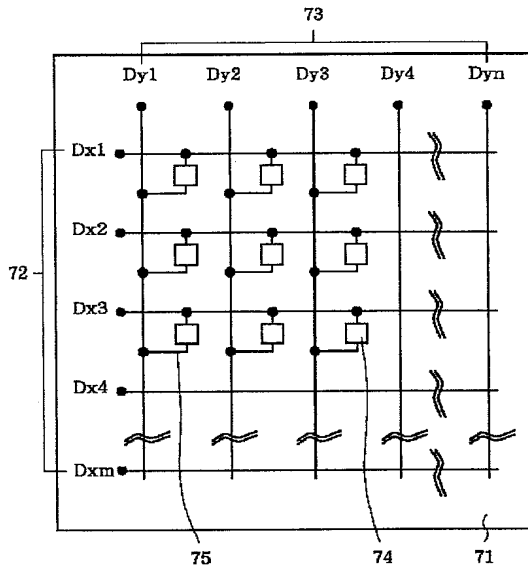
【図 4】



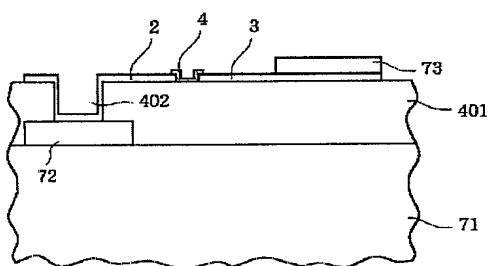
【図5】



【図7】

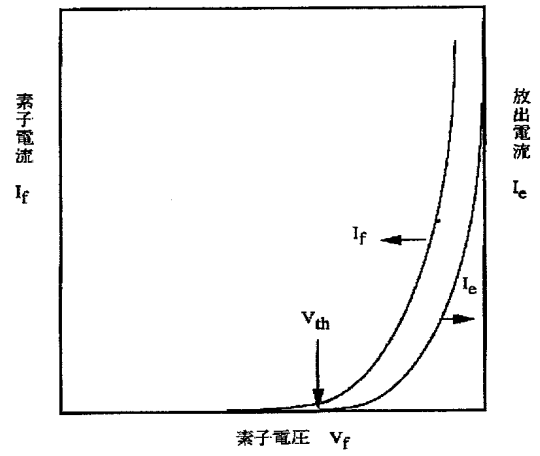


【図15】

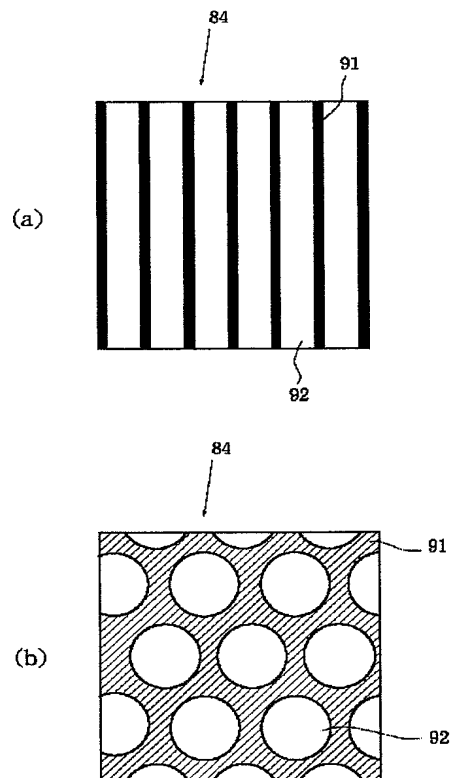


A-A' 断面図

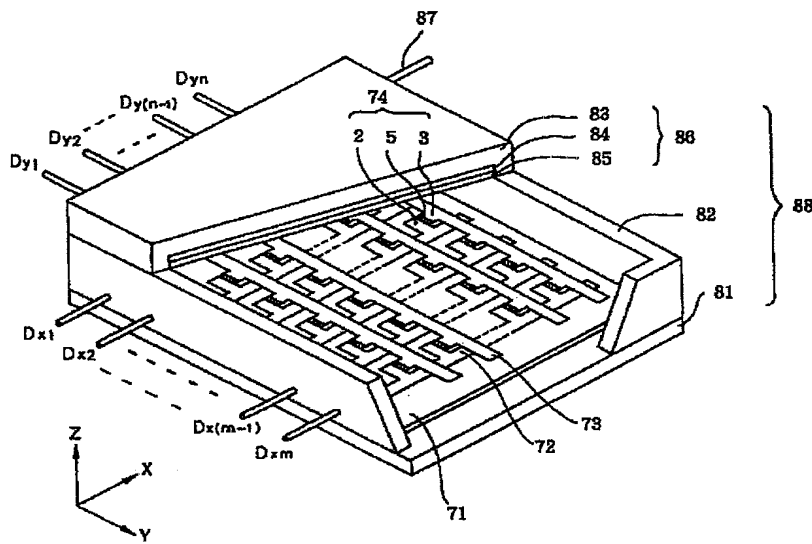
【図6】



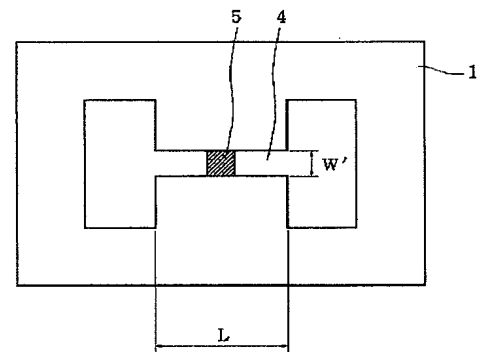
【図9】



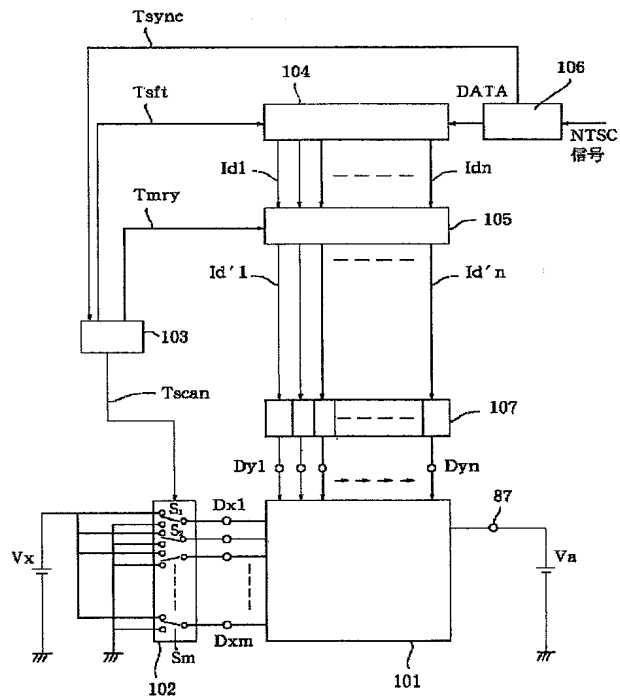
【図8】



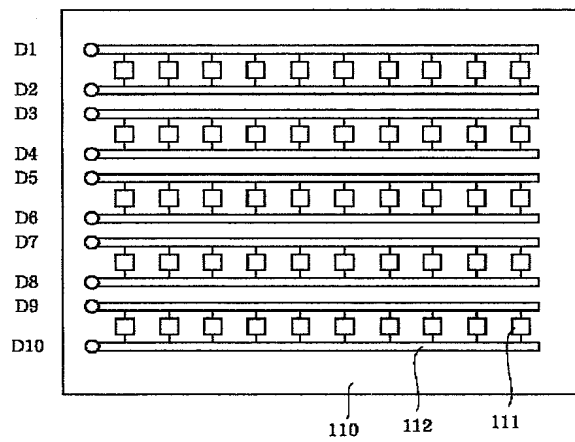
【図18】



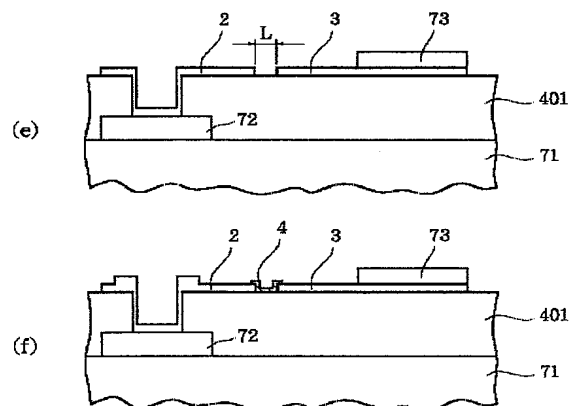
【図10】



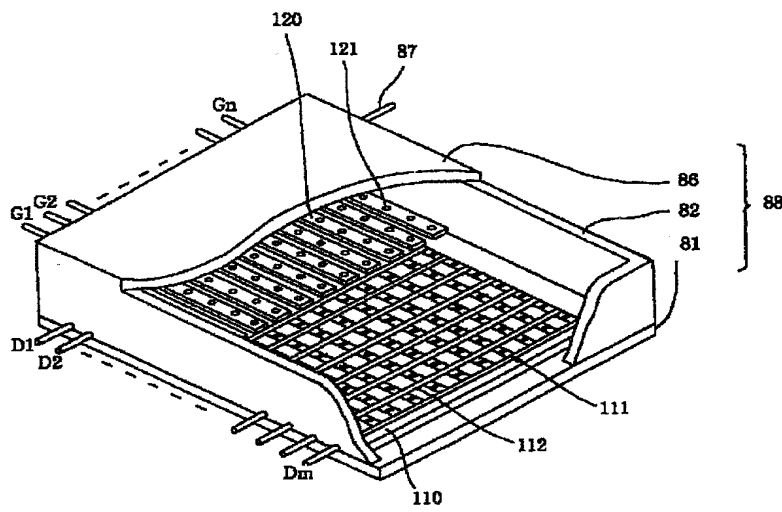
【図11】



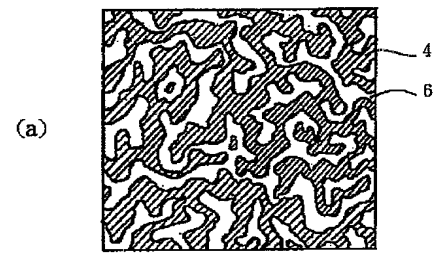
【図17】



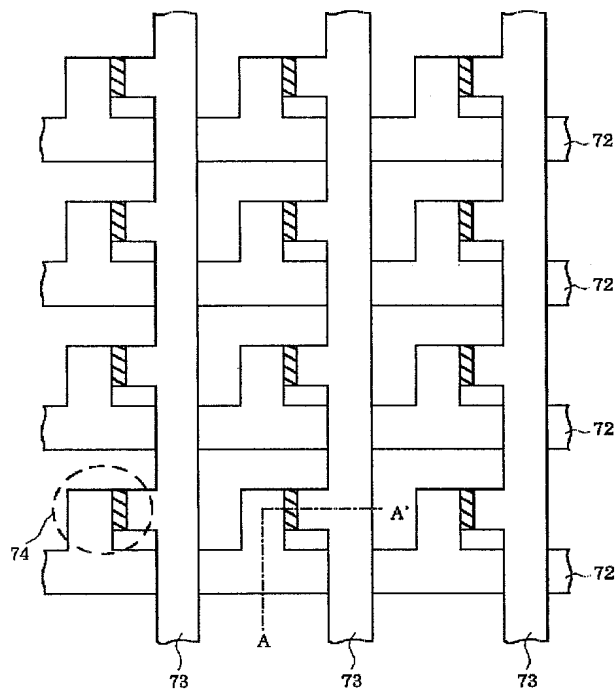
【図 12】



【図 13】



【図 14】



【図 16】

